

# DOCENCIA Y DISEÑO BÁSICO VLSI CON TANNER TOOLS.

M.A. Larrea, J.L. Marín y R. Gadea.  
Departamento de Ingeniería Electrónica (DIE)  
Universidad Politécnica de Valencia (UPV)  
Camino de Vera s/n.  
46020.- Valencia  
Tlf.: (96) 387 76 01  
Fax.: (96) 387 76 09  
eMail: malarrea@eln.upv.es

**RESUMEN.-** El curso 92-93, el DIE introdujo Tanner Tools como complemento de bajo coste al CAD sobre estación de trabajo que empleaba intensivamente en su docencia VLSI. Núcleo de un entorno de Diseño de Circuitos Integrados a medida/semimedida sobre PC apto para la enseñanza/difusión de éstas técnicas a las PyMEs [1], la experiencia adquirida tras 4 promociones de la ETSIT/UPV permiten evaluarlo con conocimiento de causa. Este estudio se enmarca en el Proyecto de Innovación Educativa nº 103 de la UPV para la Enseñanza de Técnicas de Diseño VLSI y puede interesar a aquellos grupos que deseen introducir la  $\mu$ Electrónica en sus Planes de Estudio desde una perspectiva EUROPRACTICE.

## 1.- INTRODUCCION.

La escasez de medios de laboratorio por el coste y complejidad de las herramientas CAD VLSI es notoria en la enseñanza de las Técnicas de Diseño VLSI donde la formación y evaluación (Proyectos de Diseño) es eminentemente práctica.

Hacia el 91-92, la iniciativa EUROCHIP facilitaba acceso al silicio y al CAD entonces disponible (CADENCE/DFWII, MENTOR...). Este requería estaciones de trabajo (WS) que por razones de coste y administración suelen ser escasas.

Así era para las asignaturas  $\mu$ Electrónicas de la ETSIT/UPV, cuyos criterios, objetivos, contenidos y métodos de evaluación figuran en [2].

Como asociados a EUROCHIP, en *Circuitos  $\mu$ Electrónicos* (4º Curso) -Diseño VLSI Digital y Analógico- todos los alumnos accedían al único puesto entonces disponible (*SUN 3/260C* con *CADENCE/ES2*). Tras un breve tutorial, grupos de 2 ÷ 3 alumnos realizaban sus diseños (subsistemas digitales de 50 ÷ 200 MOS). El uso de la *SUN 3* alcanzó 125 h/semana, incluidas noches: pese a la gran motivación, una situación insostenible.

Además, el soft profesional exige una gran inversión en adquisición, mantenimiento y aprendizaje. El alumno difícilmente llega a dominarlo en docencia regular por su complejidad, pobre disponibilidad y por la fragmentación creciente de los planes de estudio.

En este sentido, es ineficiente para la docencia. La mera praxis obscurece los pocos y cruciales conceptos básicos del Diseño VLSI establecidos en [3].

Cuando el CAD VLSI para PC era anécdota -antes del Pentium, del LINUX y la avalancha Internet- nació Tanner Tools en el entorno de C. Mead en Caltech.

## 2.- EL DISEÑO A MEDIDA CON TANNER TOOLS/PC EN EL DIE/UPV.

Por su capacidad para emular el ciclo completo de diseño a medida/semimedida frente a otras herramientas, el DIE/UPV adquirió 10 licencias de *Tanner Tools/PC* (775 \$/unit.) en Febrero del 92, presentadas en las 2<sup>as</sup> Jornadas Técnicas del Servicio MPC-CAD del CNM de Barcelona (2-3 Julio, 1992). 2 cursos se tardaría en explorar sus posibilidades. De nuestras licencias para DOS y librerías, no mantenidas, hablaremos salvo comentario expreso.

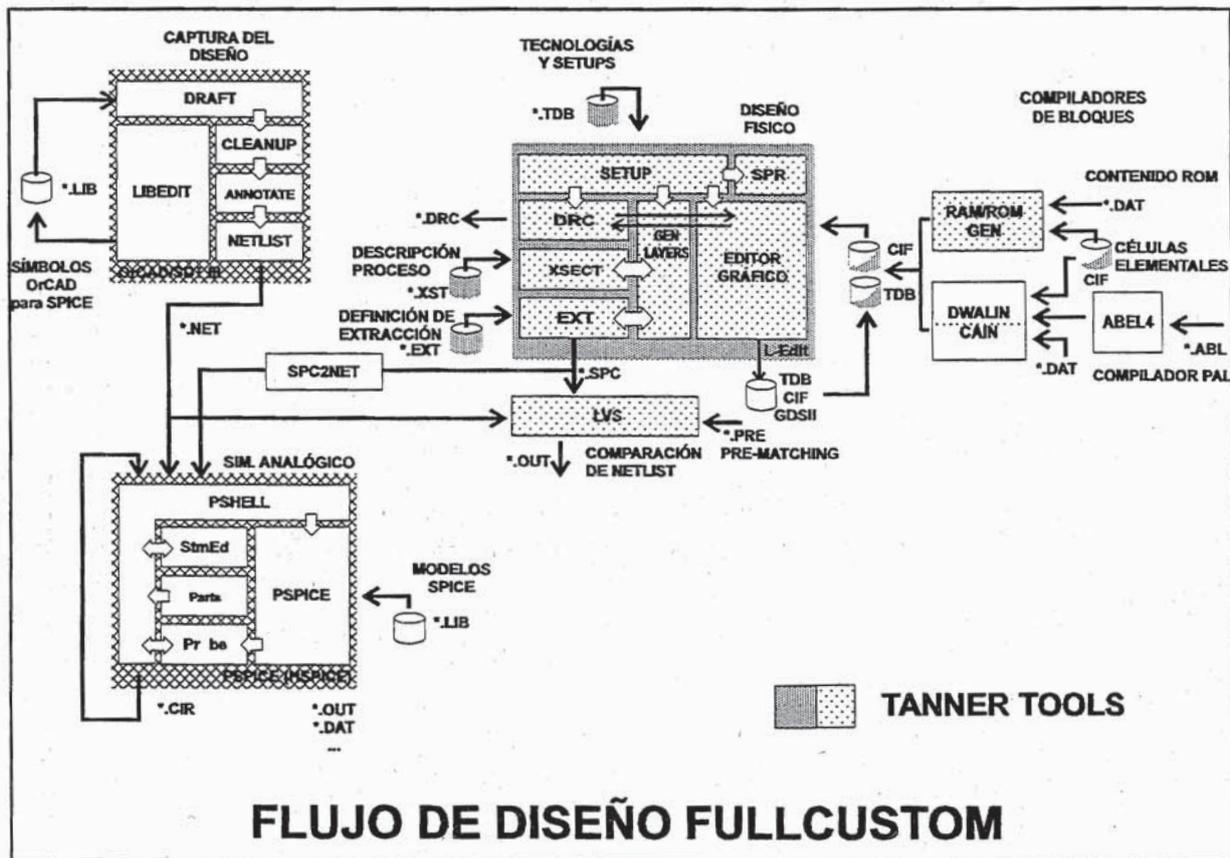


Figura 1.- Entorno de Diseño a Medida con Tanner Tools/PC.

### 2.1.- Introducción del Diseño y Simulación Eléctrica (Pre-Layout).

El Diseño Eléctrico es el FrontEnd del Full Custom. Relativamente independiente del Diseño Físico, se puede resolver con OrCAD SDTIII/PSpice (no existía Design Center). PSpice DOS/16M, con interfase de control y postprocesador gráfico, es un simulador analógico y mixto que admite modelización comportamental y análisis paramétrico/estadístico. Con 8 Mb de RAM llegamos a simular en transitorio 750 MOS. Sin embargo, desde que disponemos HSPICE, este se emplea en diseños complejos (como los extraídos de layouts Tanner incluyendo PADS, 3000 MOS), lanzando simulaciones remotas sobre estación de trabajo.

Con SDTIII como editor externo desde PSpice, empleamos jerarquía compleja de símbolos: su limitación es no poder transferir parámetros del símbolo al esquema, ello impone una disciplina de empleo. Además, fue necesario editar y crear nuevos símbolos y librerías. En la actualidad evaluamos su substitución por OrCAD IV/386+ ó la utilización de Design Center, con su captura de esquemáticos.

## 2.2.- El Diseño Físico con L-Edit de Tanner Tools.

L-Edit (v.4.13) es el núcleo de Tanner, editor interactivo gráfico-textual de layouts de fácil empleo y rápida visualización. Opera sobre uno o más ficheros TDB de formato propio, que pueden incluir células que, instanciadas, permiten una edición jerárquica. Es compatible con ficheros CIF ó GDSII interfazando así con otro CAD ó con fabricación.

Aunque los hay de propósito documental, un TDB destinado a editar layouts incluye en su configuración, junto a la habitual en un editor, información (proceso, unidades, layers de dibujo -incluyendo parásitos- y derivadas, reglas de diseño, etc...) de la tecnología elegida. Cada tecnología (CMOS Orbit ó MOSIS escalable, de pozo n ó p y de 1.2, 1.6 y 2.0  $\mu\text{m}$ , SP ó DP/DM) tiene su TDB. Iniciar un diseño en una tecnología es ejecutar L-Edit sobre una copia de su TDB. También es posible transferir (Merge SETUP) parte de la configuración de un TDB a otro. Tanner Tools incluye 4 herramientas de Verificación del layout:

1.- L-Edit/DRC (2.01); chequeador de reglas de diseño geométricas, global o por área, marcará los errores detectados sobre el layout y generará un informe DRC. De capacidad limitada no incluye comprobación eléctrica (i.e.: es incapaz de distinguir pozos calientes) y, en especial en zonas críticas, errores (cuanto más absurdos) pueden no ser detectados.

2.- Cross-Section Viewer -XSECT-: es un simulador de proceso planar de gran valor docente o para la depuración del layout, que permite visualizar cortes transversales del mismo.

3.- L-Edit/Extract (1.03) -EXT- extrae la información eléctrica del layout, generando un netlist SPICE, SPC. Reconoce capacidades parásitas, MOSTs (sólo con sus parámetros L y W) de puertas Poly ó Poly2 y capacidades Poly/Poly2 y resistores de Poly si identificadas con la layer ID. En un netlist SPICE los nudos son numéricos, por lo que los nombres de las señales (ports) se añaden como comentarios. El SPC precisa depuración para la resimulación (Post-Layout): eliminar los valores nulos de dispositivos, asignar el nudo 0 a GND e incluir las líneas de modelos ó invocar sus librerías... En [4] se propone el programa SPC2NET destinado a hacerlo automáticamente, rutinas similares emplean nuestros alumnos.

Estas herramientas incluidas en L-Edit, precisan la generación implícita de las layers derivadas (definidas como función booleana de las precedentes) que permiten interpretar el layout. La generación puede ser explícita y las layers obtenidas manejadas como las de dibujo, lo que concede un medio adicional de edición/depuración.

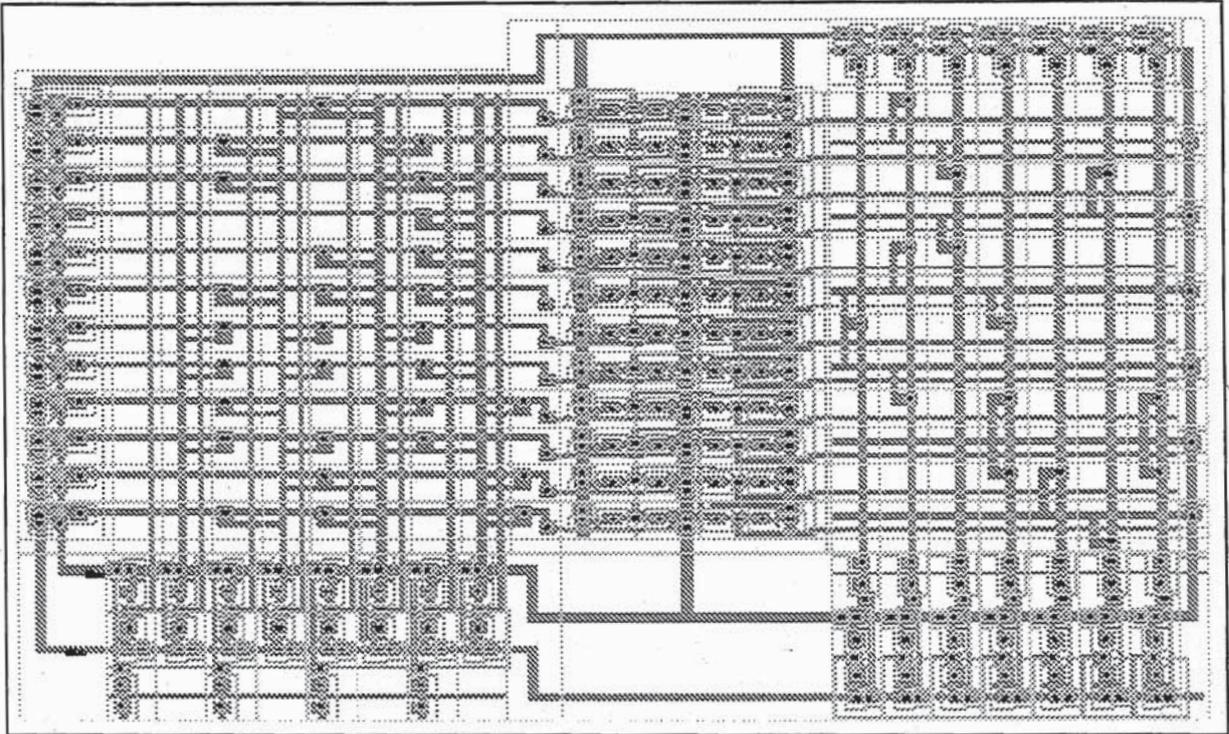
A diferencia del DRC, XSECT y Extract requieren ficheros externos ASCII, escritos en metalenguaje BNF, que definan sus procesos a partir de las layers de cada tecnología.

4º.- LVS/PC (v.1.13.) es un comparador de netlists SPICE, destinado a verificar la congruencia en el diseño: si coinciden las estructuras eléctrica y física. Opera en batch y admite parámetros, geometrías ó pre-emparejamientos para facilitar la resolución de automorfismos.

Así, un Kit de Diseño Tecnológico para L-Edit debe incluir los ficheros tecnológicos TDB, EXT y XST y la librería de modelos SPICE asociada. Esta no es suministrada por Tanner Tools, debiendo acudir al fabricante o, en nuestro caso, a la bibliografía. L-Edit es personalizable fácilmente en layers, reglas de diseño, etc..., por lo que el número de Kits de Diseño disponibles es creciente. Señalemos el desarrollo de los Kits CNM5 y ECPD10 [5].

Desde L-Edit no es posible compilar arrays complejos de células, pero Tanner Tools/PC dispone de RAM/ROMGen (v.1.00): un generador físico de SRAMs ó ROMs en tecnología MOSIS escalable, partiendo de una librería de células elementales CIF.

Inspirado en él, un Grupo de Diseño ha desarrollado CAIN, como evolución de un trabajo anterior (DWALIN) CAIN permite generar PLAs combinatoriales y secuenciales, a partir de ficheros PLA obtenidos desde ABEL 4 [6], manteniendo la compatibilidad con DWALIN. Por último, con una abundante y dispersa documentación, L-Edit aporta diseños de Redes Neuronales Analógicas (Seehear, Retina,...[7]) desarrolladas por el Physcomp de Caltech.



**Figura 2.-** Contador Gray de 3 Bits generado mediante CAIN

### **3.- EL ENTORNO DE DISEÑO SEMIMEDIDA SOBRE PC DEL DIE/UPV.**

Tanner permite el diseño semimedida hasta nivel BackEnd. Se trata de una aportación inusual pero realista a un curso de Diseño Básico VLSI, sólo posible por la accesibilidad del soft. La Figura 3 muestra el Entorno de Diseño empleado.

#### **3.1.- Introducción del Diseño, Mapeo y Simulación Lógica (Pre-Layout).**

El Diseño Lógico es el FrontEnd del Semicustom. Las librerías de símbolos de Tanner para SDTIII incluyen más de 1500 células y se agrupan en 2 tipos de librerías:

- SchemLb1 ÷ 4 (digitales, tecnoindependientes) y...
- SCMOS, ANACMOS (las células descritas en [7]) DACADC (sólo diseños MOSIS),

que, con las propias de usuario, permitirán, con OrCAD y mediante jerarquía compleja de símbolos crear la base de datos necesaria para compilar el diseño. Opciones de diseño son:

- 1.- Generación del netlist para simulación (NET) funcional (retardos unitarios) con Gatesim.
- 2.- FrontEnd:
  - Id. para Emplazamiento y Rutado con el formato adecuado,
  - Id. para simulación temporal (incluye FanOut y estima Pre-Layout).

... Con las siguientes tecnologías: ASICs -Gate Array y Standard Cells- (Harris, TI, NCR) y FPGAs (ACT1 y 2 de ACTEL y -salvo simulación- XC2000 y 3000 de Xilinx).

- 3.- BackEnd:
  - Id. (TPR) para Emplazamiento y Rutado con L-Edit/SPR
  - Id. (SPC) para LVS (los MOS no incluyen L ó W) e
  - Id. para simulación temporal (incluye FanOut y Post-Layout).

... Con Standard Cells de tecnologías: CMOS3 (no SPC) y varias MOSIS escalables.

MappingPro incluye NetTran (2.28) -que formatea los netlist de entrada, con OrCAD: WireList ó EDIF 1.1.0, a partir de las librerías de Mapeo y, en su caso, computa los retardos a partir de los datos del fabricante, pudiendo escalarlos ó aleatorizarlos- y las librerías de

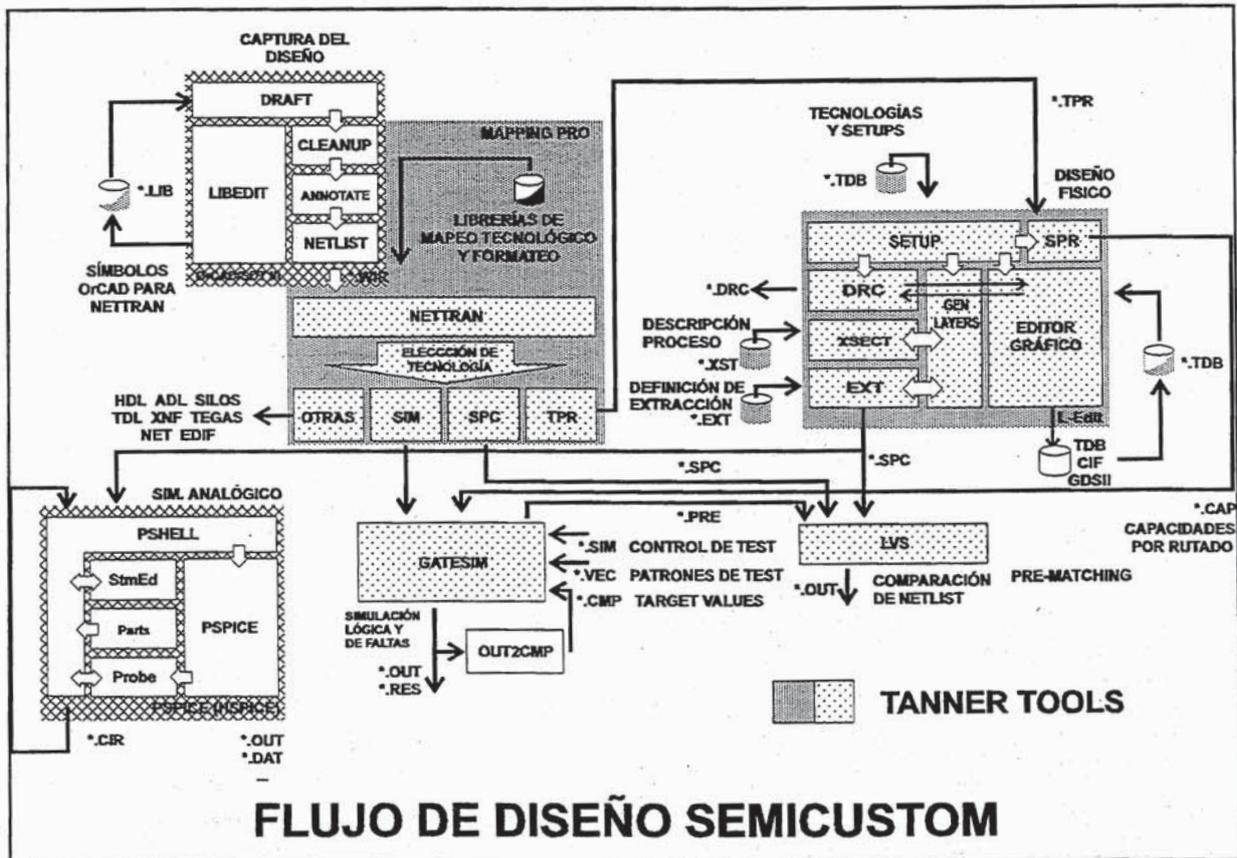


Figura 3.- Entorno de Diseño Semimedida con Tanner Tools/PC (MS-DOS)

Mapeo que, en general, implica 3 niveles: De símbolo a VIB (TecnoIndependiente), De VIB a Tecnología, De Tecnología a Netlist de Salida.

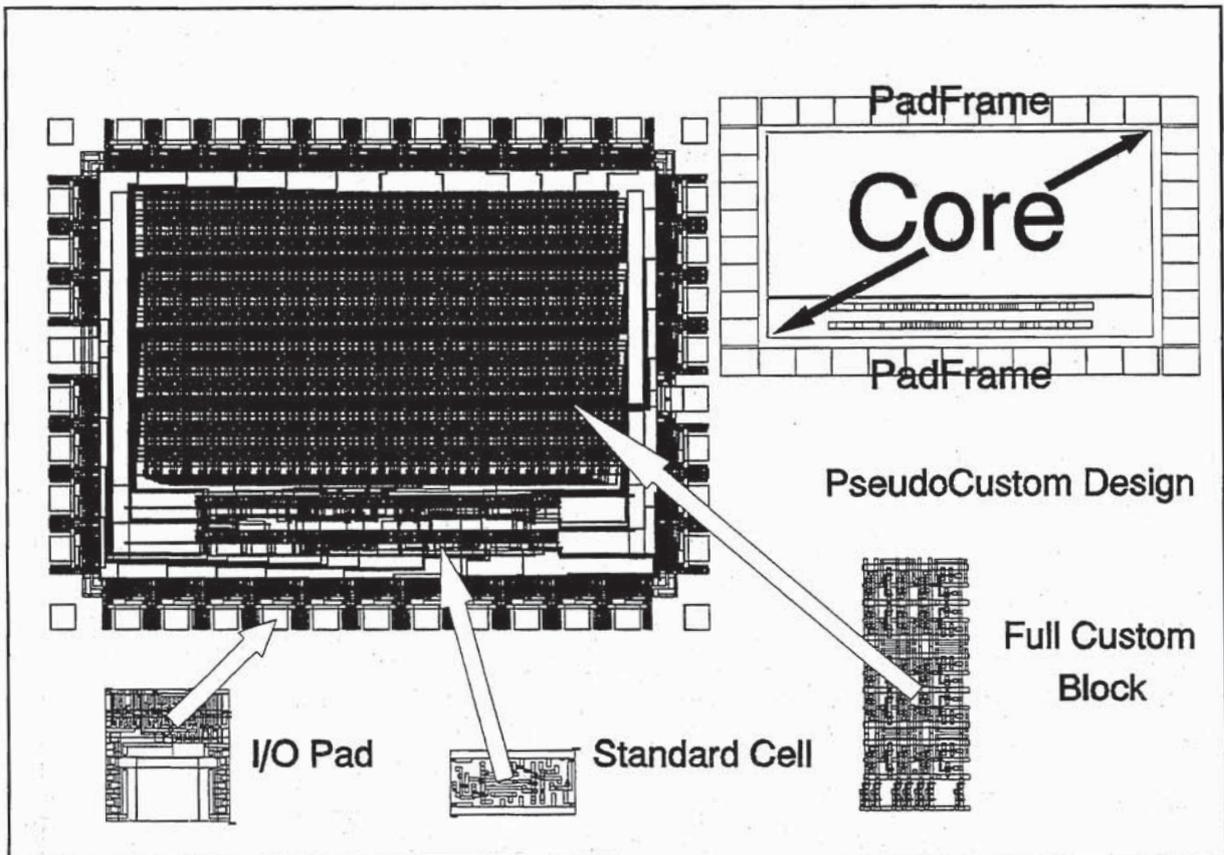
GateSim (v.1.12) es el simulador lógico conducido por eventos de 4 estados y analizador estático de tiempos y sólo admite retardos típicos, aunque escalables. Similar a SILOS en su empleo, interactivo ó desde ficheros SIM y VEC. La salida es tabular ó pseudográfica. Simulador de faltas mediocre, para evaluar el cubrimiento precisa un fichero de comparación CMP que se puede obtener depurando la salida OUT de una simulación previa. Para ello se desarrolló la utilidad OUT2CMP. GateSim es la herramienta más ingrata de Tanner Tools. Dado el contenido de la asignatura los proyectos semimedida propuestos son BackEnd digitales (los alumnos conocen Lesim2: están familiarizados con el diseño lógico de ASICs) ó mixtos (analógico/digitales ó pseudomedida). La Figura 4., muestra uno de los diseños así realizados.

### 3.2.- Librerías de Células Estándar, Emplazamiento y Rutado, Resimulación.

Finalizado el Diseño Lógico, se procede a su implementación. Desde el esquema, vía NetTran, se genera el fichero TPR que permite acceder a L-Edit/SPR (v.2.04).

Tanner Tools incluye librerías TDB, en general para tecnologías SCN, de células estándar físicas (¡no layouts abstractos...!) digitales, analógicas y para DACs, incluyendo PADs y el SETUP adecuado para L-Edit/SPR, que incluye 3 bloques:

- 1.- SPR Block : Genera el núcleo (Core) del chip, mediante el algoritmo del recocido simulado. Son configurables el número de iteraciones por célula, número de filas, razón de aspecto de las filas centrales y el coste relativo del rutado en los 2 niveles que emplea.
- 2.- PadFrame : Generador de la periferia ó anillo de PADs.



**Figura 4.-** Ejemplo de un Diseño Pseudomedida: Buffer de Impresora.

3.- Pad Router : Rutador entre el PadFrame y SPR Block.

El preposicionado de las señales de entrada y salida al chip en el PadFrame afecta al núcleo, pues 3.- es un River Router (sólo ruta en una capa y no puede cruzar sus pistas). El SETUP de L-Edit/SPR debe ser acorde con la tecnología (cumplimiento de las reglas de diseño en el rutado, estima conservadora de las capacidades de rutado...) y la librería TDB debe disponer de células específicas para rutado y para mapeo (i.e.: RowCrosser, TieHigh,...). Aunque puede automatizarse el proceso, conviene hacerlo bloque a bloque, configurando en el SETUP de cada uno de ellos las señales ó pads (según el caso) según el orden establecido. También es posible generar un PadFrame para un núcleo a medida o crear un bloque de Células Estándar en un diseño a medida. Al final, conviene emplear el Pad Router.

Son 3 las Técnicas finales de Verificación, para Diseños Semimedida Digitales:

- 1.- Simular Temporalmente (Post-Layout) con Gatesim el Diseño, a través del NET obtenido del esquema y el fichero CAP de capacidades de rutado (backannotation) extraído por SPR.
- 2.- Hacer LVS del extraído del Layout (SPC, sin capacidades) con el (SPC obtenido por NetTran desde el esquema).

3.- Extraer todo el layout (con capacidades), depurarlo y simularlo con HSPICE.

En suma, se han resuelto más de 40 diseños de relativa complejidad (hasta 5000 Puertas Equivalentes) desde diversas aproximaciones. Sería imposible, tanto describirlos, como recoger la tarea de depuración del soft llevada a cabo en estas páginas. Invito al lector interesado a intercambiar información en este sentido con el DIE/UPV.

## 4.- CONCLUSIONES Y LINEAS DE DESARROLLO.

### 4.1.- Conclusiones.

El curso pasado, 13 de 21 Grupos eligieron Tanner para realizar sus diseños. Tanner, pese a ser un soft de gran valor didáctico, precisa depuración y documentación, sin embargo ha mejorado en mucho nuestra docencia:

- Ha liberado en parte nuestras estaciones de trabajo, permitiendo realizar proyectos acordes con el soft instalado (CADENCE DFWII, SYNOPSIS ó HSPICE).
- Incrementar la complejidad de los diseños realizados pasando de los pequeños bloques analógicos ó digitales a medida al diseño pseudomedida, mixto, etc..., sin incrementar el tiempo de desarrollo (¡Ay, del SPICE 2G6!); así no se trivializa el Diseño VLSI.
- Diversificar la naturaleza de los Proyectos que hoy son no sólo de síntesis de circuitos, sino de análisis, de modelización, de documentación, de exploración de Soft, de creación de herramientas CAD y librerías, etc... impulsando la iniciativa y la creatividad.

### 4.2.- Evolución.

- Disponible en versión educacional (diseño a medida), con un excelente texto [8].
- Exito notorio: más de 4000 usuarios en 30 países, entre ellos Physcmp, el Grupo de Redes Neuronales Analógicas VLSI de Carver Mead, que lo emplea en un Entorno Tanner/Chipmunk Tools y ofrece un kit de diseño Physcmp Tanner Tools Setup compatible a ambos.
- Tanner Tools es accesible vía EURO PRACTICE, incluyendo sus nuevos módulos S-Edit (Captura de Esquemáticos) y T-Spice sobre Windows 3.11. Entre los kits disponibles en Europa están: ES2 1.2 y 1.0  $\mu\text{m}$ , AMS CMOS 1.2 y 0.8  $\mu\text{m}$  y VSC GaAs H-GaAs III
- ChipShop ha propuesto un Entorno ideal de Diseño sobre PC, que debería incluir en Front End: ViewLogic (Introducción del Diseño), Model System-V y/o VeriWell (Simulación Lógica) y CORE (Síntesis Lógica) y en BackEnd: Tanner (Diseño Físico) y SMASH2 (Simulador Analógica y Mixta). Sin duda, su precio no sería competitivo frente al soft EURO PRACTICE para estaciones y, desde luego, inadecuado para la docencia regular.
- Tanner Research Inc. ofrece hoy 2 Sistemas de Diseño: Tanner Tools Pro VLSI y Tanner Tools MCM Pro para el diseño de ASICs con MOSIS u Orbit, MEMS (Sistemas  $\mu$ electromecánicos con MCNC MUMPS) y MCMs (Módulos Multichip, con MIDAS).

## 5.- REFERENCIAS.

- [1] Declercq, M.J. y Enz, C.D. "Transferring Know-How to SME -a Challenge in Microelectronics Education". IV Eurochip Workshop. pp. 29-32. Toledo, 1993.
- [2] Larrea, M.A., Marín, J.L., Domínguez, V. y Gadea, R. "Developing VLSI Skills: Reflections on a Training Experience". IV Eurochip Workshop. anexo. Toledo, 1993.
- [3] Mead, C. y Conway, L. "Introduction to VLSI Systems". Ed. Addison-Wesley, 1980.
- [4] Rincón, F. y Terés, Ll. "Kit de Diseño para la Tecnología ECPD10 sobre Tanner Tools v.1.0". Servicio de CAD (CNM-CSIC), 1995
- [5] Torrubia, A. y García I. "CAÍN. Compilador de Arrays Integrados v.β". DIE/UPV, 1996
- [6] Rincón, F. y Terés, Ll. "Desarrollo de Kits de Diseño sobre Tanner Tools". II Workshop Iberchip. pp. 133-143. Sao Paulo, 1996.
- [7] Mead, C. "Analog VLSI and Neural Systems". Ed. Addison-Wesley, 1989.
- [8] Uyemura, J.P. "Physical Design of CMOS Integrated Circuits Using L-Edit". Ed. PWS Publishing Co., 1995.