

FILTRADO DIGITAL ADAPTATIVO PARA CANCELACIÓN DE LA FRECUENCIA DE RED: DISEÑO DE UNA PRÁCTICA DOCENTE

M. BATALLER, A. ROSADO, J. F. GUERRERO, J. ESPÍ Y A. J. SERRANO
Departamento de Ingeniería Electrónica. Facultad de Física. Universidad de Valencia. 46100-Burjasot (Valencia). España.

En esta comunicación se describe el diseño de una práctica de procesado digital de señal utilizando dos de las aproximaciones existentes hoy día para ello, es decir, mediante los lenguajes de descripción hardware y a partir de un editor de layout. Con esta práctica se ha pretendido mostrar al alumno los pasos que debe dar para trasladar un algoritmo descrito en MATLAB a otros dominios de representación más relacionados con su posterior implementación hardware

1. Introducción

La docencia relacionada con los temas relativos a lenguajes de descripción hardware y diseño digital CMOS se enmarca dentro de los módulos de teoría y laboratorio de la asignatura de Diseño de Circuitos y Sistemas Electrónicos, perteneciente al cuarto curso de la titulación de Ingeniería Electrónica que se imparte en la Universidad de Valencia. El lenguaje de descripción hardware que se va a utilizar, tanto por su disponibilidad como por su estandarización, es el VHDL y la práctica que se ha seleccionado corresponde a un filtro digital para la cancelación de la frecuencia de red de un electrocardiograma (ECG). Los motivos que nos han impulsado a escoger ésta son los siguientes, a saber:

Aquellas aplicaciones relacionadas con el procesado digital de señales suelen ser atractivas para los alumnos de Ingeniería Electrónica, ya que existen en el plan de estudios asignaturas optativas en las que se describen con detalle los fundamentos del procesado digital y de la ingeniería biomédica.

El filtro que se va a diseñar es original de Ahlstrom y Tompkins, siendo una estructura que se presta, como se verá posteriormente, al diseño digital por parte del alumno al no poseer subsistemas digitales complejos. Su diagrama de bloques permite que el alumno tenga la posibilidad de familiarizarse con descripciones VHDL y a nivel de layout de subsistemas, tanto combinatoriales como secuenciales, como son los biestables D, registros de desplazamiento, sumadores, comparadores, unidad de control, etc.

2. Descripción del filtro

El algoritmo de filtrado que plantean Ahlstrom y Tompkins [1,2] corresponde al de un filtro con un único parámetro a adaptar, la amplitud. En efecto, si se modela la fuente de ruido a eliminar como de tipo sinusoidal, o lo que es lo mismo como una senoide de amplitud A y

frecuencia w , la expresión que proporciona la estimación del ruido en un instante nT , siendo T el periodo de muestreo, es la siguiente:

$$e(nT) = A \sin(\omega nT) \quad (1)$$

Si en (1) se reemplaza el término nT por $(nT-T)$ y $(nT+T)$ se obtiene la expresión correspondiente a la estimación del ruido en los instantes anterior y posterior, respectivamente:

$$e(nT-T) = A \sin(\omega nT - \omega T) \quad \text{y} \quad e(nT+T) = A \sin(\omega nT + \omega T) \quad (2)$$

Como lo que se pretende encontrar es una relación de tipo recursivo entre la estimación del ruido en los instantes nT , $nT+T$ y $nT-T$ conviene utilizar determinadas identidades trigonométricas. En efecto, si se sustituye la expresión $\sin(\alpha + \beta) = 2 \sin(\alpha) \cos(\beta) - \sin(\alpha - \beta)$ en (2), se tiene en cuenta las expresiones de la estimación del ruido en los instantes nT y $nT+1$, $e(nT)$ y $e(nT-T)$, y se llama $N = \cos(\omega T) = \cos(\omega T)$ se tiene:

$$e(nT+T) = 2Ne(nT) - e(nT-T) \quad (3)$$

Esta ecuación utiliza los valores de la señal de ruido en instantes anteriores para predecir su valor en el futuro. Con el fin de evaluar la corrección o no de dicha predicción resulta necesario definir una determinada función de adaptación que permite actualizar el factor de adaptación (amplitud) con el fin de minimizar el ruido a la salida del filtro. Ésta es:

$$f(nT+T) = [x(nT+T) - e(nT+T)] - [x(nT) - e(nT)] \quad (4)$$

Si la función es cero la estimación previa es correcta mientras que en caso contrario resulta necesario corregir el valor estimado, que se hace de forma empírica mediante una constante cuyo valor hay que elegir. Así, la expresión final de (3) es la siguiente:

$$\begin{aligned} \text{Si } f(nT+T) > 0 & \quad e(nT+T) = e(nT+T) + d \\ \text{Si } f(nT+T) < 0 & \quad e(nT+T) = e(nT+T) - d \end{aligned} \quad (5)$$

Después del ajuste la expresión para la salida del filtro es $y(nT+T) = x(nT+T) - e(nT+T)$ donde $x(nT+T)$ es la señal de entrada del filtro, que está compuesta por la señal útil (p.e. ECG) y la señal de ruido que se desea eliminar, $y(nT+T)$ es la señal de salida del filtro y $e(nT+T)$ la función de estimación de ruido.

3. Desarrollo de la práctica

Una vez se ha explicado el comportamiento del filtro adaptativo y antes de pasar a su descripción hay que obtener el algoritmo capaz de reproducir todo el proceso detallado en el apartado anterior o algoritmo base del filtro digital diseñado, que es el siguiente:

```

DESDE n=inicio HASTA final
  ruido(n)=2*N*ruido(n-1)-ruido(n-2)
  diferencia=[ecg(n)-ruido(n)]-[ecg(n-1)-ruido(n-1)]
  if diferencia>0
    ruido(n)=ruido(n)+constante
  elseif diferencia<0
    ruido(n)=ruido(n)-constante
  end
  ecg(n)=ecg_ruido(n)-ruido(n)
END

```

Lo primero que debe verificar el alumno es el correcto funcionamiento del mismo a partir del paquete informático Matlab de Mathworks y a continuación, antes de pasar a su descripción VHDL [3], obtener el posible diseño digital que materialice el algoritmo descrito previamente. Si se observa este algoritmo y se analiza la ecuación en diferencias relativa a la obtención del ruido, aparece una operación de multiplicación por una constante N, cuyo valor para una frecuencia de muestreo de 500 Hz. y una componente de ruido de 60 Hz. es de 0.7289, que afecta al propio ruido un instante anterior. Con el objeto de simplificar esta ecuación y que el alumno no tenga que realizar la descripción VHDL de un multiplicador, se utiliza una aproximación que permite reemplazar esta operación por sucesivas operaciones de desplazamiento, lo que implica añadir un registro de desplazamiento programable. Finalmente, la descripción VHDL se basa en la utilización de los siguientes elementos, a saber: registro D, sumador, multiplexor, complemento a 2, unidad de control; registro de desplazamiento programable, etc. La herramienta software utilizada por el alumno para el desarrollo de la práctica es el simulador VHDL de Accolade Design Automation, PeakVHDL, ver la figura 1, del que se puede encontrar en la página web www.acc-eda.com una versión de evaluación que brinda la posibilidad de continuar el desarrollo del trabajo aparte de las sesiones semanales de laboratorio.

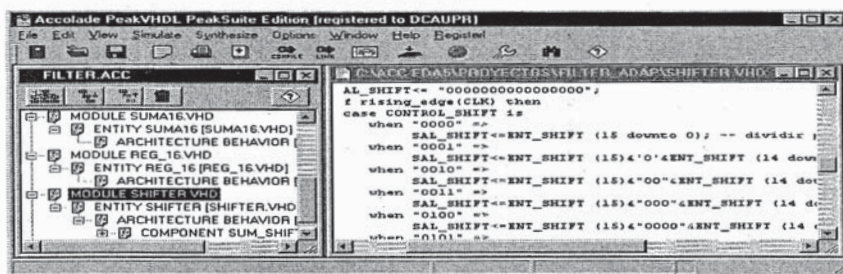


Figura 1: Entorno de simulación Accolade PeakVHDL

Como continuación de esta práctica el alumno debe obtener el diseño a nivel de transistor de los subsistemas digitales [4,5] con el fin de generar el layout de los mismos. En este caso, el alumno tiene la posibilidad de seleccionar la estructura más adecuada a sus necesidades. La

herramienta software que se utiliza es el editor de layout de E. Sicard MicroWind, ver la figura 2.

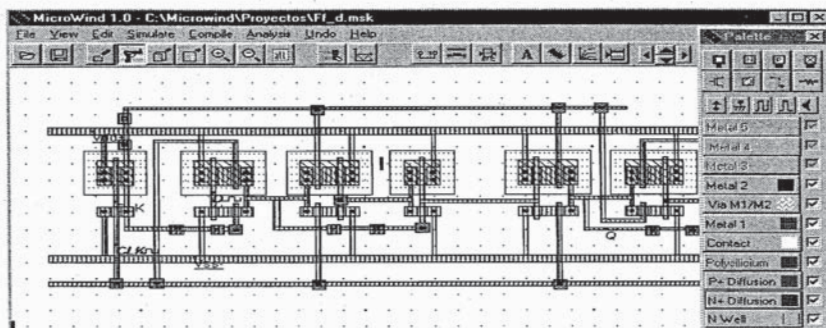


Figura 2: Editor de Layout MICROWIND

4. Conclusiones

Para concluir conviene destacar que: (a) Se ha propuesto una práctica docente en la que se pretende que el alumno se familiarice con la descripción de algoritmos a otros dominios de representación, más relacionados con su posterior implementación hardware, y las posibilidades que estos ofrecen a la hora de realizar diseños electrónicos. (b) Se han utilizado dos aproximaciones básicas para su descripción (VHDL y layout) y se ha recurrido a una práctica que, dividida en sesiones, proporciona al alumno el aprendizaje de descripciones VHDL y a nivel de layout de subsistemas combinatoriales y secuenciales típicos de un diseño digital. (c) Las herramientas software utilizadas para el desarrollo de la práctica son Accolade PeakVHDL y Microwind. (d) Se utiliza un programa de diseño microelectrónico que permite realizar el layout correspondiente, experimentar con la geometría de los transistores (longitud y ancho del canal) y verificar las reglas de diseño, aproximando al estudiante los conceptos relacionados con el diseño a nivel transistor de circuitos digitales (metodología de diseño VLSI).

Referencias

- [1] M. L. Ahlstrom y W. J. Tompkins. *IEEE Transactions on Biomedical Engineering*. 9, 708-713 (1985).
- [2] W. J. Tompkins. *Biomedical Digital Signal Processing*. Editorial Prentice Hall (1992).
- [3] L. Terés, Y. Torroja, S. Olcoz y E. Villar. *VHDL Lenguaje estándar de diseño electrónico*. Editorial McGraw-Hill (1997).
- [4] N. Weste y K. Eshraghian. *Principles of CMOS VLSI Design A systems Perspective*. Editorial Addison-Wesley (1992).
- [5] S. Bota, J. Carrabina, A. Herms. *Introducció al Disseny CMOS VLSI*. Editorial Publicacions de la Universitat de Barcelona (1996).