

AMPLIACIÓN DE LA MÁQUINA +: LA MÁQUINA ++

J. GARCÍA ZUBÍA

Departamento de Arquitectura de Computadores, Automática, Electrónica Industrial y Telecomunicaciones. Facultad de Ingeniería. Universidad de Deusto. Apdo. 1. 48080. Bilbao. España. zubia@eside.deusto.es

El trabajo presenta las modificaciones que completan al computador básico Máquina +. La Máquina ++ es de un mayor valor didáctico, pues amplía la M + en su juego de instrucciones, modos de direccionamiento y atención a interrupciones externas.

1. Introducción

En el primer curso de Estructura de Computadores es necesario que el alumno analice, diseñe y programe uno o varios computadores. Estas máquinas deben ser fáciles, completas y didácticas de manera que el alumno comprenda al detalle la estructura y funcionamiento de un computador. Será en cursos superiores cuando el alumno trabaje con procesadores más complejos y profesionales.

En la Facultad de Ingeniería de la Universidad de Deusto, y dentro de la asignatura Estructura de Computadores I, los profesores enseñamos al completo dos procesadores: la Máquina Sencilla y la Máquina +. Si bien ambas cumplen las necesidades didácticas del curso, hemos completado la M + para dar lugar a la M ++, con más recursos computacionales y didácticos.

2. Descripción de la Máquina +

La Máquina +, abreviadamente M +, es un computador básico tipo RISC con una clara orientación didáctica. La M+ está descrita en detalle en [1], destacando:

- Bus de datos de 8 bits.
- Bus de direcciones de 16 bits y memoria de 64 Kbytes.
- Estructura Registro-Registro (con Load y Store).
- Camino de Datos secuencializado de un bus.
- Banco de cuatro registros de datos.
- Instrucciones aritméticas, lógicas, de transferencia y de salto.
- Direccionamiento directo, por registro, inmediato e indirecto por pareja de registros.

La anterior arquitectura es válida para describir un computador RISC que siendo sencillo y didáctico tiene una cierta complejidad. Sin embargo la M + adolece de varias carencias:

- No tiene llamadas a subrutinas.

- No dispone de direccionamiento por pila.
- No maneja el concepto de pila y su programación.
- No dispone de interrupciones.

La M ++, que a continuación presentamos, viene a completar la funcionalidad de la M+, haciéndola más rica didácticamente a costa de una mayor complejidad.

3. Nuevas instrucciones

El repertorio de instrucciones se ve completado con nuevas instrucciones:

- **PUSH**. Introducir el acumulador en la cabecera de la pila.
- **POP**. Cargar el acumulador con el dato de la cabecera de la pila.
- **CALL dir**. Llamada a una subrutina.
- **RET**. Retorno de una subrutina.
- **INISP dir**. Inicializar el Puntero de la Pila con una nueva dirección.
- **INTR**. Exploración de posible interrupción.
- **IRET**. Retorno de la interrupción.

Las cinco primeras instrucciones son accesibles por el usuario y por tanto puede incluirlas en sus programas. Sin embargo las dos últimas son instrucciones internas del procesador de la Máquina ++, y sirven para atender y gestionar las interrupciones externas.

4. Rediseñar el multiplexor de direcciones del Camino de Datos

La estructura del Mx de direcciones cambia –ver figura 1–. Ahora las entradas incluyen al Puntero de la Pila y al Vector de Interrupciones. Además el PC puede llevar su contenido al Bus de Datos, distinguiendo entre la parte alta y la baja. Por último aparece un sumador/restador controlado por las líneas C1C0.

El esquema de la M ++ de la figura 1 muestra que la máquina mantiene la estructura secuencializada de un único bus, donde:

- las líneas xxCAR controlan la carga de los registros desde el bus de datos o de direcciones –distinguiendo entre cargar todo el registro o sólo su parte alta (H) o baja (L)-,
- las líneas xxBUS controlan la carga del Bus desde los registros
- las direcciones FFFE y FFFF contienen la parte alta y baja de la dirección de la subrutina de la interrupción, respectivamente y
- el Sumador/Restador es controlado por C1C0, donde C0 es la línea de control de suma o resta y el contenido del bit C1 es el valor a sumar o restar.

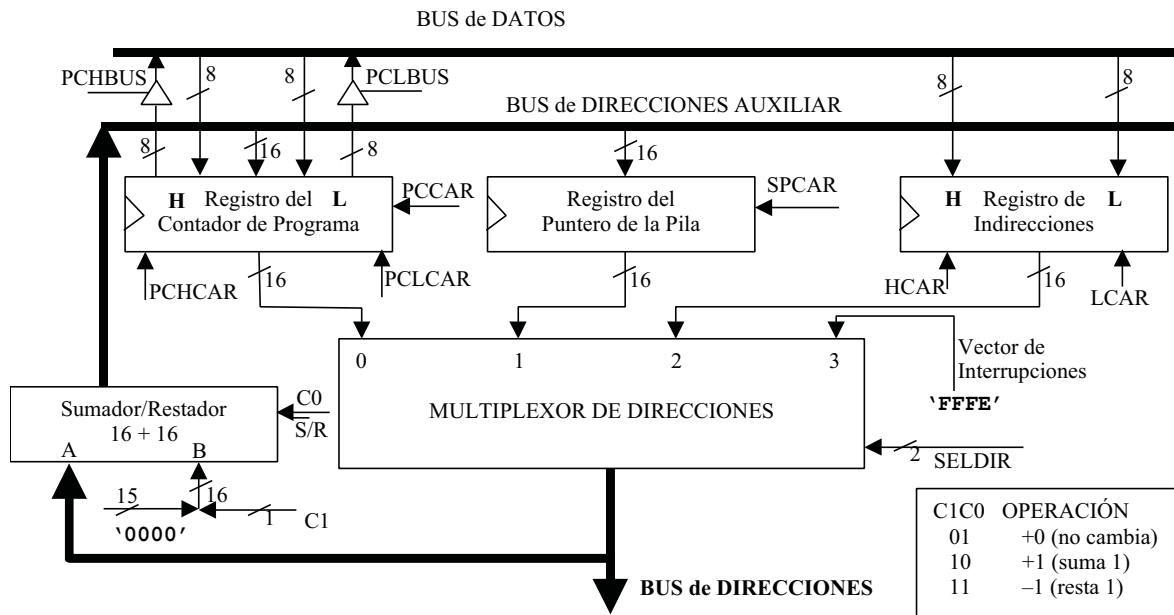


Figura 1: Multiplexor de Direcciones de la Máquina ++

5. Atención a interrupciones

En la figura 1 hemos asignado una dirección a la atención de la interrupción, pero falta el circuito que capture la llegada de una interrupción externa, circuito que vemos en la figura 2.

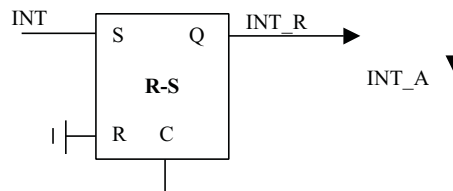


Figura 2: Atención a la señal externa de interrupción

La figura 2 sigue la estructura típica y muestra tres señales:

- INT. Es la interrupción externa asíncrona memorizada por el R-S asíncrono.
- INT_R. Es la solicitud de interrupción a la Unidad de Control.
- INT_A. Es el reconocimiento por parte de la Unidad de Control de que la interrupción está siendo atendida.
- La conexión de INT_A con el Clear del R-S evita que nuevas interrupciones interfieran en la actual.

6. Modificación de la Unidad de Control

Además de por las nuevas instrucciones, la Unidad de Control de la M ++ queda modificada en las instrucciones antiguas. No vamos a detallar todos los cambios, pero genéricamente:

- Aparecen diez nuevas líneas de control: C1C0, SELDIR10, PCHCAR, PCLCAR, PCHBUS, PCLBUS, SPCAR e INT_R.
- Toda instrucción tiene como última instrucción la INTR.
- La IRET no termina en INTR para evitar el anidamiento de interrupciones.
- La inclusión de la INTR hace que las instrucciones de salto acaben en $PC \leftarrow HL$, y no en $RI \leftarrow (HL)$, $PC \leftarrow HL+1$. Curiosamente este cambio hace más regular a la M++.

En la tabla 1 se descomponen las nuevas instrucciones en microinstrucciones.

| | | |
|---|---|---|
| <p>PUSH $RI \leftarrow (PC), PC+1$ Decodificar $SP \leftarrow SP-1$ $(SP) \leftarrow ACUM$ INTR</p> <p>POP $RI \leftarrow (PC), PC+1$ Decodificar $ACUM \leftarrow (SP)$ $SP \leftarrow SP+1$ INTR</p> <p>INISP dir $RI \leftarrow (PC), PC+1$ Decodificar $H \leftarrow (PC), PC+1$ $L \leftarrow (PC), PC+1$ $SP \leftarrow HL, HL+0$ INTR</p> | <p>CALL dir $RI \leftarrow (PC), PC+1$ Decodificar $SP \leftarrow SP-1$ $(SP) \leftarrow PCH$ $SP \leftarrow SP-1$ $(SP) \leftarrow PCL$ $PC \leftarrow HL, HL+0$ INTR</p> <p>RET $RI \leftarrow (PC), PC+1$ Decodificar $PCL \leftarrow (SP)$ $SP \leftarrow SP+1$ $PCH \leftarrow (SP)$ $SP \leftarrow SP+1$ INTR</p> | <p>INTR Decodificar: Si INTR= '0' sigue S0 Si INTR='1'</p> <p>INTA \leftarrow '1' $SP \leftarrow SP-1$ $(SP) \leftarrow$ Flags $SP \leftarrow SP-1$ $(SP) \leftarrow PCH$ $SP \leftarrow SP-1$ $(SP) \leftarrow PCL$ $PCH \leftarrow (FFFFE), INTR+0$ $PCL \leftarrow (FFFFE), INTR+1$</p> <p>IRET $RI \leftarrow (PC)$ $PCL \leftarrow (SP)$ $SP \leftarrow SP+1$ $PCH \leftarrow (SP)$ $SP \leftarrow SP+1$ $SP \leftarrow SP+1$ Flags $\leftarrow (SP)$ $SP \leftarrow SP+1, INTA='0'$</p> |
|---|---|---|

Tabla 1: Descomposición en microinstrucciones de las nuevas instrucciones

7. Conclusiones

La Máquina ++ presentada mejora claramente las prestaciones hardware y software de la original Máquina +. Las modificaciones de la M ++ dotan al profesor de más recursos didácticos a la hora de enseñar los conceptos básicos de Arquitectura de Computadores.

Agradecimientos

El desarrollo de la M++ es fruto del trabajo de dos cursos, 1999-2001, y no hubiera sido posible sin la colaboración de los también profesores del departamento: D. José Antonio Aranguren Zumeta y D. Alfonso Barba Fernández.

Referencias

- [1] J.M. Angulo. *Estructura de Computadores*. Editorial Paraninfo (1996)